

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-124629

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)5月11日

H 03 K 17/04
G 06 F 3/00
H 03 K 17/16
17/687
19/094
19/096

E 8124-5 J
J 8323-5 B
D 8124-5 J

B 8326-5 J
8326-5 J
8214-5 J

H 03 K 19/094
17/687

D
A

審査請求 未請求 請求項の数 2 (全6頁)

⑮ 発明の名称 バス駆動回路

⑯ 特 願 昭63-278869

⑰ 出 願 昭63(1988)11月2日

⑱ 発 明 者 五十嵐 初日出 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内原 晋

明 細 書

1. 発明の名称

バス駆動回路

2. 特許請求の範囲

- (1) クロックφが“0”のときオンしかつクロックφが“1”で書き込み信号 \bar{W} が“1”のときオンする第一のNMOSFETが電源とバスの間にあり、クロックφが“0”のときオフしかつクロックφが“1”で書き込み信号 \bar{W} が“1”のときオフする第二のNMOSFETがバスと接地間にあり、これによりバス出力回路を形成し、クロックφが“0”のときオンし“1”のときオフするPMOSFETが電源と読み出し端の間にあり、ゲートが“1”に固定された第三のNMOSFETが読み出し端とバスの間に接続され、前記読み出し端からバス信号を取り出す事を特徴とするバス駆動回路。

- (2) クロックφが“0”のときオンしかつクロックφが“1”で書き込み信号 \bar{W} が“1”のときオンする第一のNMOSFETが電源とバスの間にあり、クロックφが“0”のときオフしかつクロックφが“1”で書き込み信号 \bar{W} が“1”のときオフする第二のNMOSFETがバスと接地間にあり、これによりバス出力回路を形成し、クロックφが“0”のときオンしクロックφが“1”で読み出し信号 \bar{R} が“0”のときオフするPMOSFETが電源と読み出し端の間にあり、クロックφが“0”のときオンしクロックφが“1”で読み出し信号 \bar{R} が“1”のときオフする第三のNMOSFETが読み出し端とバスの間に接続され、前記読み出し端からバス信号を取り出す事を特徴とするバス駆動回路。

クロックφが“1”で書き込み信号 \bar{W} が“1”のときオンする第一のNMOSFETが電源とバスの間にあり、クロックφが“0”のときオフしかつクロックφが“1”で書き込み信号 \bar{W} が“1”のときオフする第二のNMOSFETがバスと接地間にあり、これによりバス出力回路を形成し、クロックφが“0”のときオンしクロックφが“1”で読み出し信号 \bar{R} が“0”のときオフするPMOSFETが電源と読み出し端の間にあり、クロックφが“0”のときオンしクロックφが“1”で読み出し信号 \bar{R} が“1”のときオフする第三のNMOSFETが読み出し端とバスの間に接続され、前記読み出し端からバス信号を取り出す事を特徴とするバス駆動回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はバス駆動回路に関する。

(従来の技術)

従来、この種のバス駆動回路は第4図に示すよ

うになっていた。

第4図に示すバス駆動回路は、クロックφがグートに入力されたPMOSFET M11が電源とバスの間につながりバスプリチャージ回路を構成し、クロックφをインバータL11を使い反転した信号と、バス書き込み信号 \bar{W} をNOR回路L12を使い論理をとった信号をNMOSFET M12のグートに入力しバスとGNDの間にNMOSFET M12をつなぎバス出力回路を構成する。一方バス信号の読み出し回路は、通常のクロックドインバータ(PMOSFET M13, M14, NMOSFET M15, M16で構成されている。)の入力がバスにつながりコントロールグートのPMOSFET M13には読み出し信号 \bar{R} がまたNMOSFET M16には \bar{R} をインバータL15で反転した信号が加わりこのクロックドインバータの出力にはラッチ回路がつながっている。

第3図は動作説明図であり、各トランジスタの状態を示している。

まずバスプリチャージ期間はバスを“1”にプ

- 3 -

きくする。するとドレイン容量も大きくなってしまふ。

実際にはバスの容量のかかりの部分はこのドレイン容量が占めている。この時のバスの容量をCとするとここに蓄えられている電荷Qは

$$Q = C \times V_D \quad \dots\dots\dots (1)$$

となる。この電荷QはNMOSFET M2のドレイン電流-電圧特性で決まる電流 I_D に従って放電される。

$$-\frac{dQ}{dt} = -I_D \quad \dots\dots\dots (2)$$

(2)式に(1)式を代入し整理すると

$$\begin{aligned} dt &= C \frac{dV_D}{I_D} \\ \therefore T &= C \int_0^{V_D} \frac{1}{I_D} dV \quad \dots\dots\dots (3) \end{aligned}$$

バスの読み出し回路はCMOSインバータの論理しきい値つまり約 $V_D/2$ の所で判定しているが $V_D \sim V_D/2$ の間では I_D はほぼ一定であり、従って(3)式は

- 5 -

リチャージする為クロックφが“0”の間PMOSFET M11をオンさせNMOSFET M12をオフさせている。バス出力回路はクロックφが“1”で書き込み信号 \bar{W} が“0”の時のみNMOSFET M12をオンさせバスを“0”にしている。

読み出し回路は読み出し信号 \bar{R} が“0”の時選択されたクロックドインバータが開きバスのデータをラッチへ伝える。なお読み出し信号 \bar{R} が“0”になるのはクロックφが“1”の場合に限られる。もし読み出し信号 \bar{R} が“1”の時は非選択の状態でクロックドインバータは閉じバスの電位に関係なくデータは以前の状態をラッチし続ける。

バス駆動回路はバスの電位を電源電圧 V_D 迄プリチャージするので出力回路から“0”が出力されバスが“0”へディスチャージされる時間に限界がある。

バスには多数のバス出力回路がつながっているが、前述のように少しでもディスチャージの時間を短くしようとNMOSFET M12の大きさを大

- 4 -

$$T = \frac{C}{I_D} \times (V_D - V_D/2) \quad \dots\dots\dots (4)$$

となりディスチャージ時間Tを早めるにはCを小さくするか I_D を大きくすれば良いが前述の理由により無理であり、またプリチャージレベル V_D を下げれば同様に早くなるがCMOSインバータの論理しきい値 $V_D/2$ は変わらない。ここでバスアクティブ期間でバスが“1”を出力する時はバスの浮遊容量のみでこの“1”レベルを維持することになる。

一般のICではバスは何本もありその他クロック等の信号線が数多くある為このバスのような保持ラインはノイズが乗る為プリチャージレベルとCMOSインバータの論理しきい値の差を縮めると誤動作するので縮める事ができない。

(発明が解決しようとする課題)

上述した従来のバス駆動回路は、動作速度が遅く、対ノイズ性が悪いという欠点があった。

(課題を解決するための手段)

第1の発明のバス駆動回路は、クロックφが

- 6 -

"0" のときオンしかつクロックが "1" で書き込み信号 \bar{W} が "1" のときオンする第一の NMOSFET が電源とバスの間にあり、クロックが "0" のときオフしかつクロックが "1" で書き込み信号 \bar{W} が "1" のときオフする第二の NMOSFET がバスと接地間にあり、これによりバス出力回路を形成し、クロックが "0" のときオンし "1" のときオフする PMOSFET が電源と読み出し端の間にあり、ゲートが "1" に固定された第三の NMOSFET が読み出し端とバスの間に接続され、前記読み出し端からバス信号を取り出す事とを含んで構成される。

第 2 の発明のバス駆動回路は、クロックが "0" のときオンしかつクロックが "1" で書き込み信号 \bar{W} が "1" のときオンする第一の NMOSFET が電源とバスの間にあり、クロックが "0" のときオフしかつクロックが "1" で書き込み信号 \bar{W} が "1" のときオフする第二の NMOSFET がバスと接地間にあり、これによりバス出力回路を形成し、クロックが "0" のときオ

- 7 -

次にゲートにクロックが入力されソースが電源につながっている PMOSFET M3 のドレインと、ゲートが電源、ソースがバスにつながっている NMOSFET M4 のドレインが接続し、ここに PMOSFET M5, M6, NMOSFET M7, M8 で構成されるクロックドインバータの入力が接続され、出力にはインバータ L5, L6 で構成されるラッチ回路が接続されている。

なおクロックドインバータを構成する PMOSFET M5 と NMOSFET M8 には読み出し信号 \bar{R} とそれをインバータ L7 で反転した信号を加える。このようにして読み出し回路が構成されている。

次にこの回路の動作を第 2 図を用いて説明する。

まずバスプリチャージ期間はバスを "1*" にプリチャージする為クロックが "0" の間 NMOSFET M1 と PMOSFET M3 をオン NMOSFET M2 をオフさせている。ここでプリチャージするレベルを "1*" と表記した理由は第 2 図に示される。

バス出力回路はクロックが "1" で書き込み

しクロックが "1" で読み出し信号 \bar{R} が "0" のときオフする PMOSFET が電源と読み出し端の間にあり、クロックが "0" のときオンしクロックが "1" で読み出し信号 \bar{R} が "1" のときオフする第三の NMOSFET が読み出し端とバスの間に接続され、前記読み出し端からバス信号を取り出す事とを含んで構成される。

〔実施例〕

次に、本発明について図面を参照して説明する。

第 1 図は本発明の第 1 の実施例を示す回路図である。

書き込み信号 \bar{W} をインバータ L1 で反転したものとクロックとを NAND 回路 L3 で論理を取り、ドレインが電源にソースがバスにつながった NMOSFET M1 のゲートに入力する。さらにクロックをインバータ L2 で反転したものと書き込み信号 \bar{W} とを NOR 回路 L4 で論理を取り、ドレインがバスにソースが接地された NMOSFET M2 のゲートに入力する。以上の様にバス出力回路が構成されている。

- 8 -

信号 \bar{W} が "0" の時のみ M2 をオンさせバスを "0" にしている。

読み出し回路は読み出し信号 \bar{R} が "0" の時バスのデータをラッチに伝える。なお \bar{R} が "0" になるのはクロックが "1" の場合に限られる。

クロックドインバータの入力に PMOSFET M3, NMOSFET M4 で構成される回路はレベル変換回路でバスのレベルは "1*" → "0" の間を変化するが "1*" のレベルが電源よりも PMOSFET のしきい値より低いと本来 "1" が入力されればオフするはずの PMOSFET M6 がオンし続け電流がこのクロックドインバータに流れてしまう。

ところがバスには通常数多くの読み出し回路がつながっている為全体では過大な電力を消費してしまうと言う事を防ぐ為、プリチャージ期間はクロックドインバータのゲートは "1" にプリチャージしている。またこの時バスは M4 を通し M1 と同じように "1*" にプリチャージしている。

バスアクティブの期間はクロックが "1" で

- 10 -

- 9 -

NMOSFET M1及びPMOSFET M3はオフし、もし書き込み信号 \bar{W} が“0”の時はNMOSFET M1が再びオンしバス電位を“1*”に維持し \bar{W} が“1”の時はNMOSFET M1がオフ、M2がオンしバスを“0”にする。

なお読み出し回路が選択された場合($R=0$)にはクロックドインバータが開きラッチへ信号が伝わるが非選択の時($R=1$)はクロックドインバータ閉じてしまいラッチのデータが保持される。

バスを高速にするには(4)式を見ればわかるようにCを小さくするか I_D を大きくすれば良いが実際にはできない事を前に述べた。

しかしこれ以外に V_D を下げればTを短くする事ができる。但しCMOS回路は V_D を下げるとスイッチングスピードが遅くなる性質をもっているため単純には下げられない。

本発明はこの点に注目してバスの電位のみ通常の電源より低くしバスの充放電時間を短くすると共に読み出し回路、書き込み回路の電源は以前の通りのままでこのスピード劣化がおきないよ

- 1 1 -

M26, NMOSFET M27, M28で構成されるクロックドインバータに入力されこの出力はインバータL5, L6で構成されるラッチに入力される。

次にこの動作を第2図を用いて説明する。

まずバスプリチャージ期間にはバスを“1*”にプリチャージする為クロックが“0”の間NMOSFET M1, M24, PMOSFET M23をオンさせている。

バス出力回路の動作は第1の実施例と同じ、読み出し回路は読み出し信号 \bar{R} が“0”の選択時PMOSFET M23をオフ、NMOSFET M24をオンさせM26~M28で構成されるクロックドインバータを開きラッチにバスの信号を伝える。

もし読み出し信号 \bar{R} が“1”で非選択の時はNMOSFET M24はオフしPMOSFET M23, NMOSFET M24のドレイン容量及びクロックドインバータの入力容量をバスから切り離す。

通常バスは1ヶ所のみ選択される為バスの容量が減りその分だけ高速にスイッチングする事ができるようになる。

- 1 3 -

うに考えられている。

“1*”のレベルはバスの書き込み信号によりNMOSFET M1がオンして出力しているものでこれによりバスのインピーダンスは従来の電荷を保持するものにくらべ大幅に低下している。この為従来問題となっていたIC内部で発生するノイズの影響はほとんど受けない。

第3図は本発明の第2の実施例を示す回路図である。

バス出力回路は第1の実施例と同じであり、読み出し回路はクロックをインバータL8で反転した信号と読み出し信号 \bar{R} とをNOR回路L9で論理をとった後ソースを電源につないだPMOSFET M23のゲートに入力する。PMOSFET M23のドレインはNMOSFET M24のドレインとつながりソースはバスにつながっている。

NMOSFET M24のゲートにはクロックと読み出し信号 \bar{R} をNAND回路L10で論理をとった信号を加えている。そしてPMOSFET M23とNMOSFET M24の接続点からPMOSFET

- 1 2 -

クロックドインバータはPMOSFETが1つ少ないが、これは読み出し信号が“1”の時はクロックドインバータの入力が常に“1”である事が保証されているのでPMOSFET M26は必ずオフになるから省略したもので普通のクロックドインバータを使っても良い。

(発明の効果)

以上説明したように本発明によれば三貫高速で動作するバス駆動回路が実現でき高速のCMOS集積回路に使用できると言う効果がある。また従来は浮遊容量のみでバスのハイレベルが維持されていたのに対し本発明はDCレベルを出力している所以对ノイズ性に優れるという効果がある。

4 図面の簡単な説明

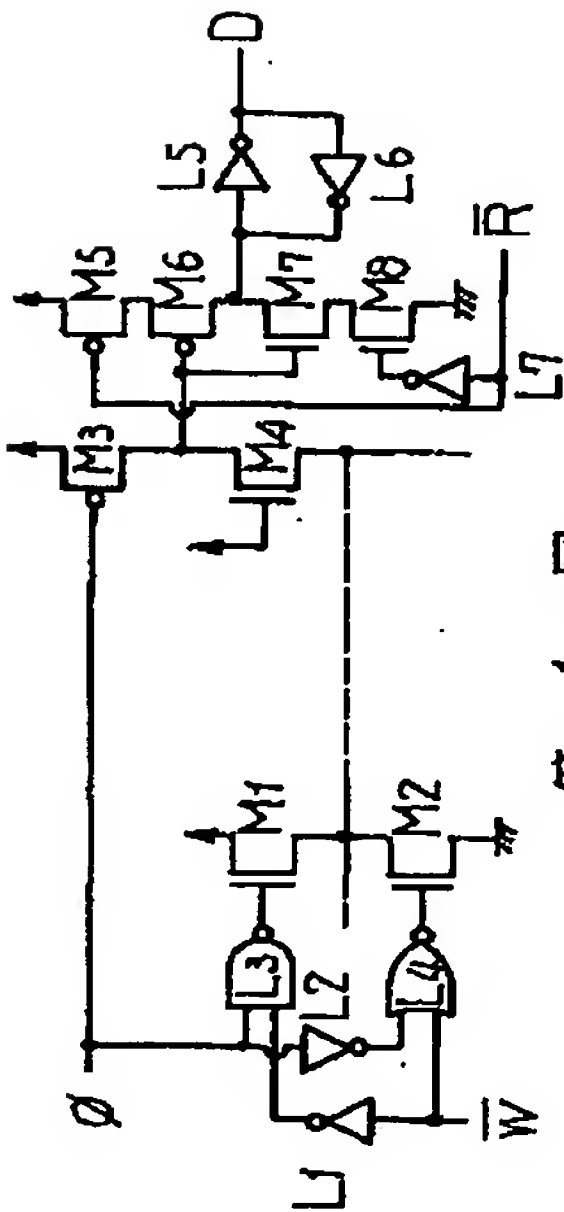
第1図は本発明の第1の実施例を示す回路図、第2図は第1図の動作説明図、第3図は本発明の第2の実施例を示す回路図、第4図は従来の一例を示す回路図、第5図は第4図の動作説明図である。

- 1 4 -

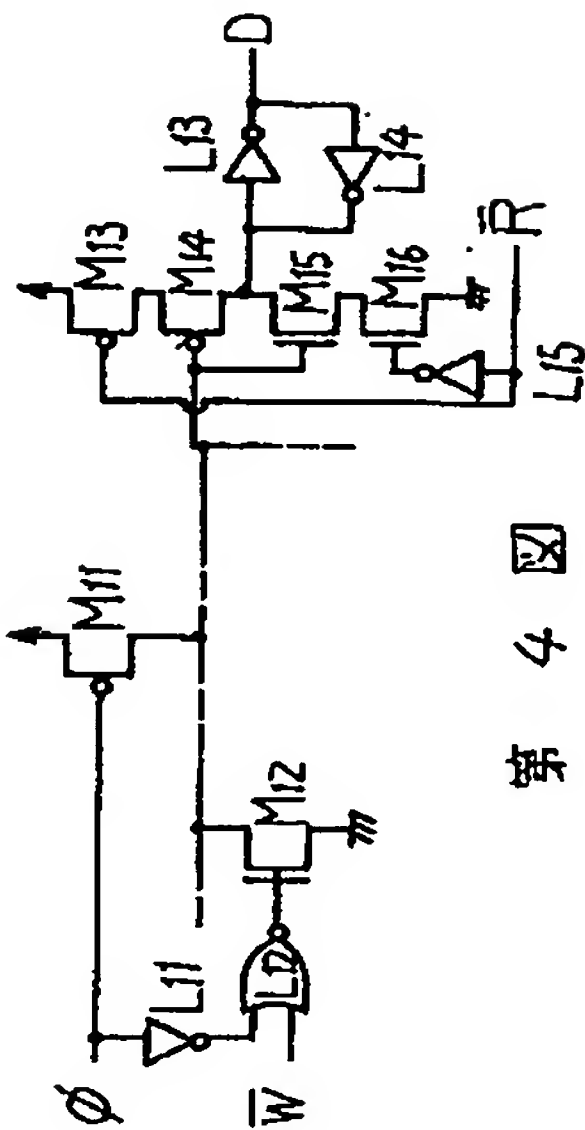
M₁, M₂, M₄, M₇, M₈, M₁₂, M₁₅, M₁₆,
M₂₄, M₂₇, M₂₈… NMOSFET、M₃, M₅, M₆,
M₁₁, M₁₃, M₁₄, M₂₃, M₂₆… PMOSF
ET、L₁, L₂, L₅, L₆, L₇, L₈, L₁₁, L₁₃,
L₁₄, L₁₅…インバータ、L₃, L₄, L₉, L₁₀,
L₁₂…論理回路。

代理人 弁理士 内 原 晋

- 1 5 -



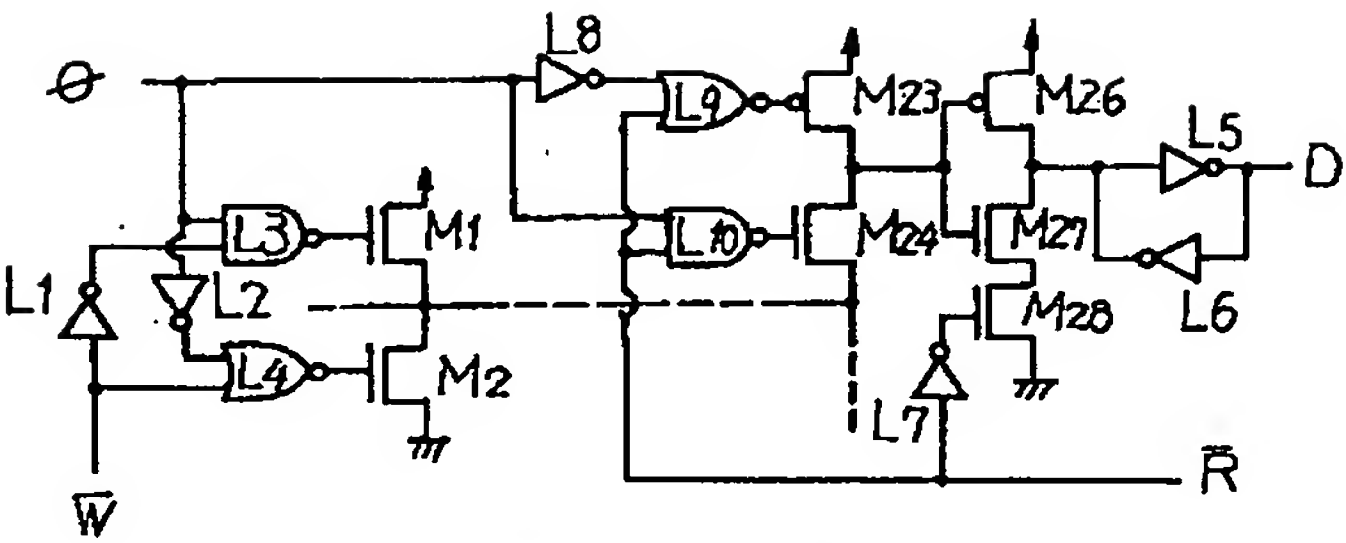
第 1 図



第 4 図

	M11	M12	M13, M16
バスアレイの初期状態	0H	Off	Off
バスアレイの初期状態 (R=0)	0H	0H	0H
バスアレイの初期状態 (R=1)	0H	Off	Off
バスアレイの初期状態 (R=1)	Off	不定	Off

第 5 図



第 3 図

		M1	M2	M3	M4	M5	M6	M23	M24	M28
バスアキチーリ期間($\phi=0$)		on	off	on	on	off		on	on	off
バスアキチーリ期間 ($\phi=1$)	選択 ($R=0$)	バス=0	off	on	off	on	on	off	on	on
		バス=1	on	off	off	on	on	off	on	on
	非選択 ($R=1$)	*	*	on	on	off		on	off	off

＊ 不定 但し M1, M2 共に on はない。

第 2 図